

中華民國專利公報 [19] [12]

[11]公告編號：397966

[44]中華民國 89年(2000) 07月11日  
發明

全10頁

[51] Int.Cl 06: G09G3/36

[54]名稱：具低耗功率及精確電壓輸出之液晶顯示器驅動電路

[21]申請案號：087105672

[22]申請日期：中華民國 87年(1998) 04月14日

[30]優先權：[31]111183

[32]1997/04/28 [33]日本

[72]發明人：

土弘 日本

[71]申請人：

日本電氣股份有限公司 日本

[74]代理人：洪澄文先生

1

[57]申請專利範圍：

1. 一種液晶顯示器驅動電路，包括：

多值電壓產生裝置，產生複數電壓；  
選擇電路裝置，自該多值電壓產生裝置  
所產生之該等電壓選擇驅動所需之一電  
壓；以及  
輸出電路裝置，輸入該選擇電路裝置所  
選擇之該電壓、以及輸出一所需電壓至  
一驅動電路輸出端；

其中，該輸出電路裝置包括：

一輸出電路輸入端，輸入該選擇電路

裝置所選擇之該電壓；

該驅動電路輸出端；

一第一電壓源；

一第二電壓源；

一第一開關，連接於該輸出電路輸入端  
和該驅動電路輸出端間；

一電晶體，以一汲極連接該第一電壓源  
、以一閘極連接該輸出電路輸入端、以  
及以一源極連接該驅動電路輸出端；以

2

及

一第二開關，連接於該驅動電路輸出端  
和該第二電壓源間。

2. 如申請專利範圍第1項所述之該液晶顯  
示器驅動電路，其中，該輸出電路裝置  
具有三個驅動期狀態：在一第一驅動期  
間，藉由控制該第一開關和該第二開關  
，以該第二電壓源將該驅動電路輸出端  
預充至一既定電壓；於一第二驅動期間  
，該電晶體如同一源極隨耦器操作，以  
輸出一電壓予該驅動電路輸出端；於一  
第三驅動期間，將該輸出電路輸入端處  
之電壓，經由該第一開關直接輸出至該  
驅動電路輸出端。

3. 如申請專利範圍第1項所述之該液晶顯  
示器驅動電路，其中，該多值電壓產生  
裝置是一分壓電路，該分壓電路包括一  
第三電壓源、一第四電壓源、以及連接  
於該第三電壓源和該第四電壓源間之一

阻值元件群。

4. 如申請專利範圍第 1 項所述之該液晶顯示器驅動電路，其中，該多值電壓產生裝置包括：用以產生  $n$  個電壓  $V_k (k = 1, 2, \dots, n)$  與  $n$  個輔助電壓  $V_k + V_{ok} (k = 1, 2, \dots, n)$  之裝置、用以輸出該等  $n$  個電壓  $V_k$  與該等  $n$  個輔助電壓  $V_k + V_{ok}$  之一多值電壓產生裝置輸出端、用以控制該等  $n$  個電壓  $V_k$  一輸出及於該多值電壓產生裝置輸出端之一第一開關群、以及用以控制該等輔助電壓  $V_k + V_{ok}$  一輸出及於該多值電壓產生裝置輸出端之一第二開關群。
5. 一種液晶顯示器驅動電路，包括：  
多值電壓產生裝置，產生複數電壓；  
選擇電路裝置，自該多值電壓產生裝置所產生之該等電壓選擇驅動所需之一電壓；以及  
輸出電路裝置，輸入該選擇電路裝置所選擇之該電壓、以及輸出一所需電壓至一驅動電路輸出端；  
其中，該輸出電路裝置包括：  
一輸出電路輸入端，輸入該該選擇電路裝置所選擇之該電壓；  
該驅動電路輸出端：  
一第一電壓源；  
一第二電壓源；  
一第一開關，連接於該輸出電路輸入端和該驅動電路輸出端間；  
一  $n$  型通道 MOS 電晶體，以一汲極連接該第一電壓源、以一閘極連接該輸出電路輸入端、以及以一源極連接該驅動電路輸出端；以及  
一  $p$  型通道 MOS 電晶體，以一汲極連接該第二電壓源，以一閘極連接該輸出電路輸入端、以及以一源極連接該驅動電路輸出端。
6. 如申請專利範圍第 5 項所述之該液晶顯示器驅動電路，其中，該輸出電路裝置具有兩個驅動期狀態：於一第一驅動期

間，該  $n$  型通道 MOS 電晶體或該  $p$  型通道 MOS 電晶體如同一源極隨耦器操作，藉由控制該開關輸出一電壓予該驅動電路輸出端；於一第二驅動期間，將該輸出電路輸入端處之電壓，經由該開關直接輸出至該驅動電路輸出端。

7. 如申請專利範圍第 5 項所述之該液晶顯示器驅動電路，其中，該多值電壓產生裝置是一分壓電路，該分壓電路包括一第三電壓源、一第四電壓源、以及連接於該第三電壓源和該第四電壓源間之一阻值元件群。
8. 如申請專利範圍第 5 項所述之該液晶顯示器驅動電路，其中，該多值電壓產生裝置包括：用以產生  $n$  個電壓  $V_k (k = 1, 2, \dots, n)$  與  $n$  個輔助電壓  $V_k + V_{ok} (k = 1, 2, \dots, n)$  之裝置、用以輸出該等  $n$  個電壓  $V_k$  與該等  $n$  個輔助電壓  $V_k + V_{ok}$  之一多值電壓產生裝置輸出端、用以控制該等  $n$  個電壓  $V_k$  一輸出及於該多值電壓產生裝置輸出端之一第一開關群、以及用以控制該等輔助電壓  $V_k + V_{ok}$  一輸出及於該多值電壓產生裝置輸出端之一第二開關群。
15. 圖式簡單說明：
16. 第一圖係顯示第一習知技術的電路圖：
17. 第二圖係顯示第一習知技術的輸出波形圖：
20. 第三圖係顯示第二習知技術的電路圖：
21. 第四圖係顯示第四習知技術的電路圖：
22. 第五圖係顯示根據本發明第一實施例
35. 液晶顯示器驅動電路的電路圖：
36. 第六圖所示為第五圖之驅動電路內第一驅動例的輸出波形圖：
37. 第七圖所示為第五圖之驅動電路內第二驅動例的輸出波形圖：
40. 第八圖係顯示根據本發明第二實施例

液晶顯示器驅動電路的電路圖：

第九圖所示為第八圖之驅動電路內一驅動例的輸出波形圖：

第十圖係顯示根據本發明第三實施例液晶顯示器驅動電路的電路圖：

第十一圖所示為第十圖之驅動電路內一驅動例的輸出波形圖：

第十二圖係顯示根據本發明第四實施例液晶顯示器驅動電路的電路圖：

第十三圖所示為第十二圖之驅動電路

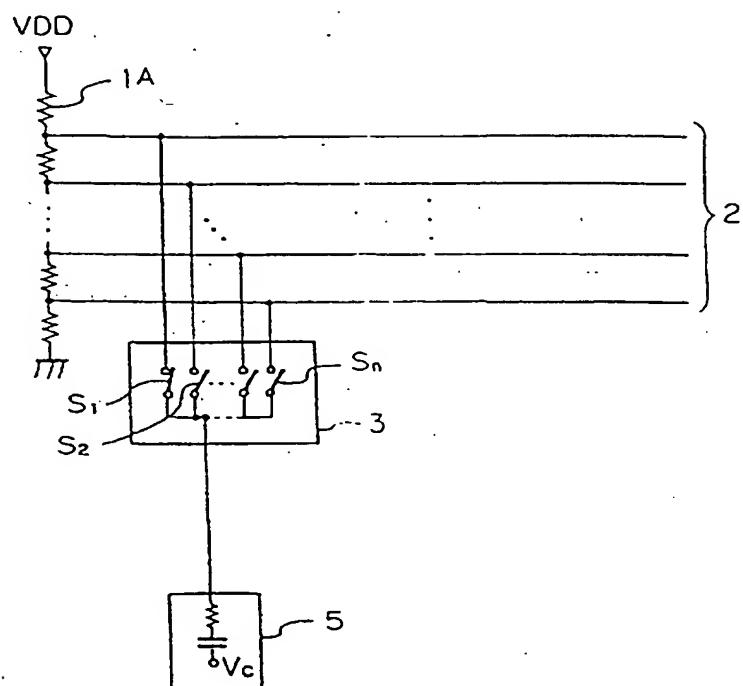
內一驅動例的輸出波形圖：

第十四圖所示為用以模擬一驅動電路之一資料負載的等效電路圖：

第十五圖所示為第一例的輸出波形圖：

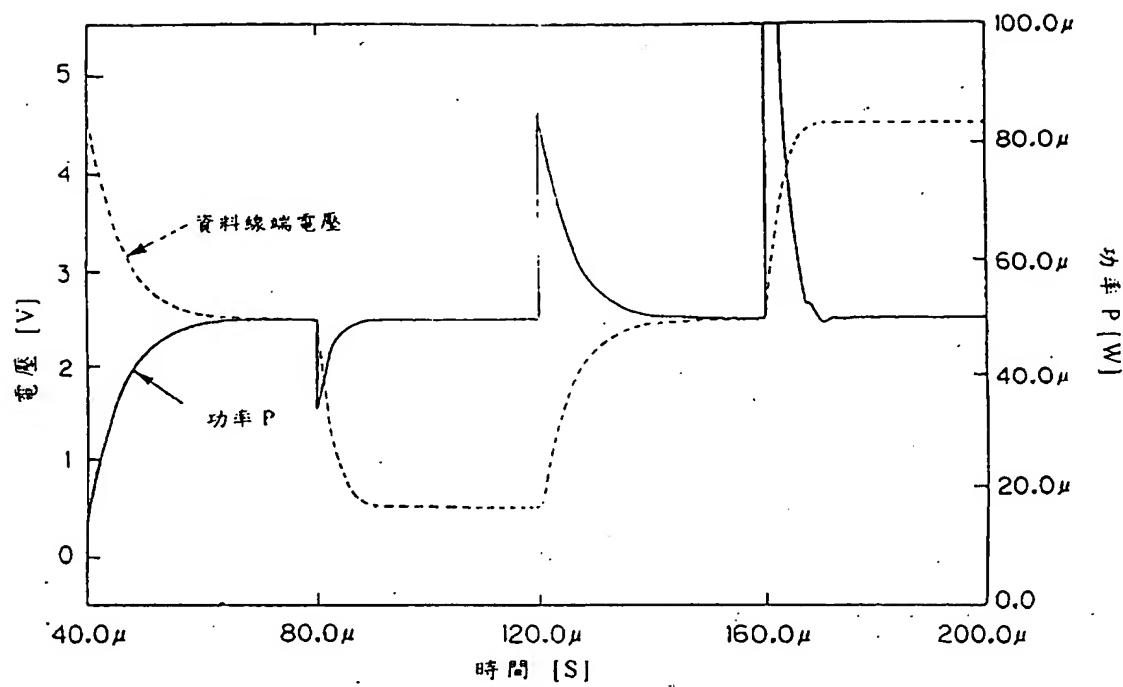
第十六圖所示為第二例的輸出波形圖；以及

第十七圖所示為第三例的輸出波形圖。

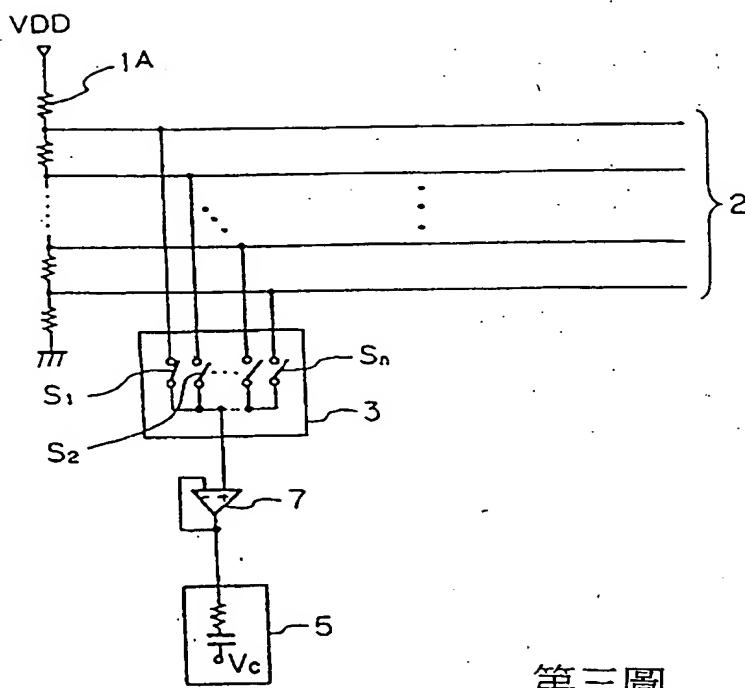


第一圖

(4)

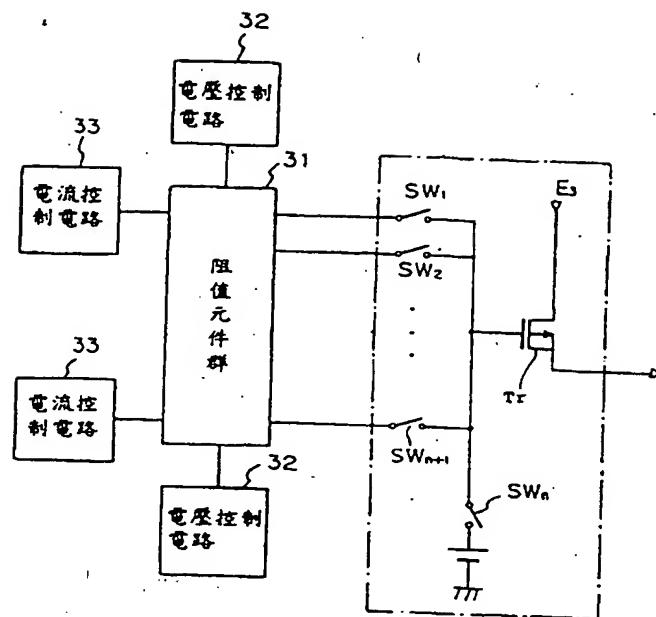


第二圖

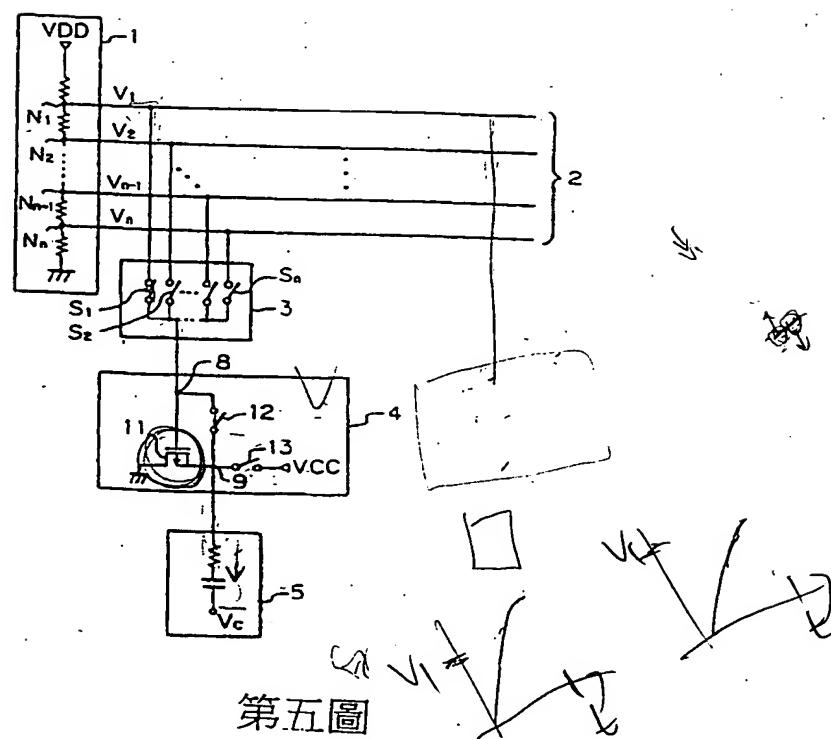


第三圖

(5)

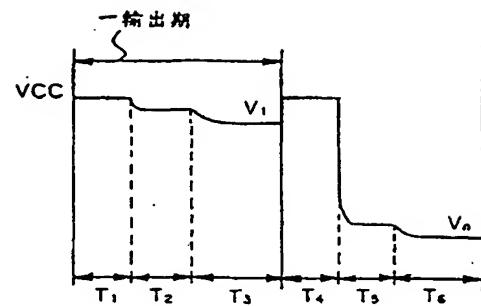


第四圖

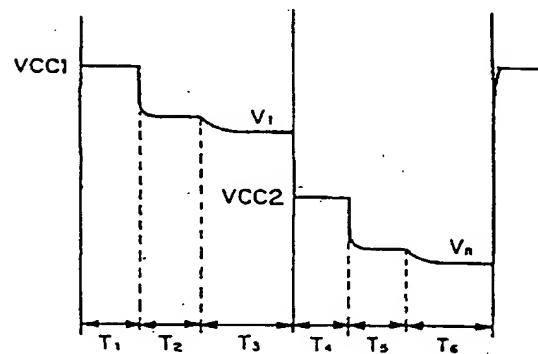


第五圖

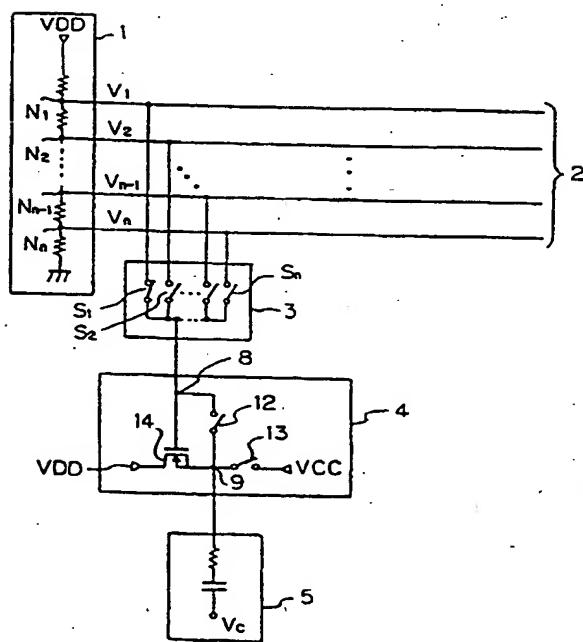
(6)



## 第六圖

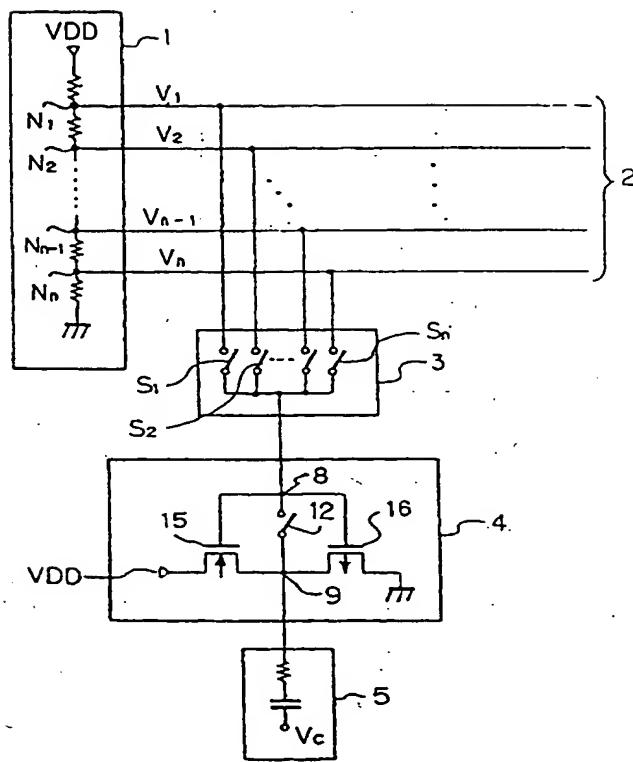
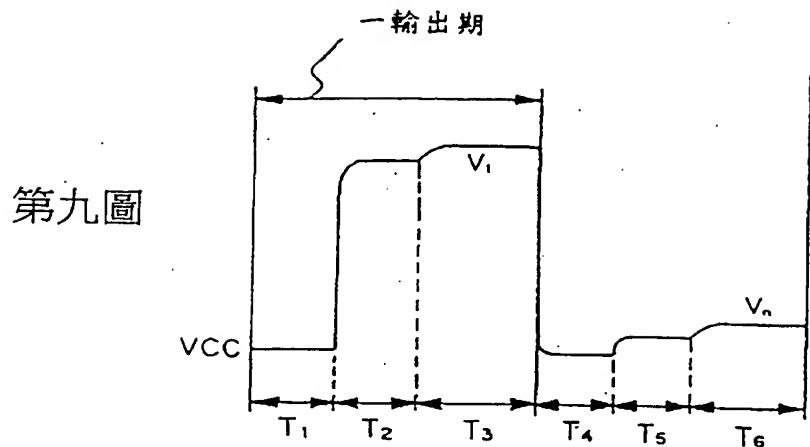


## 第七圖

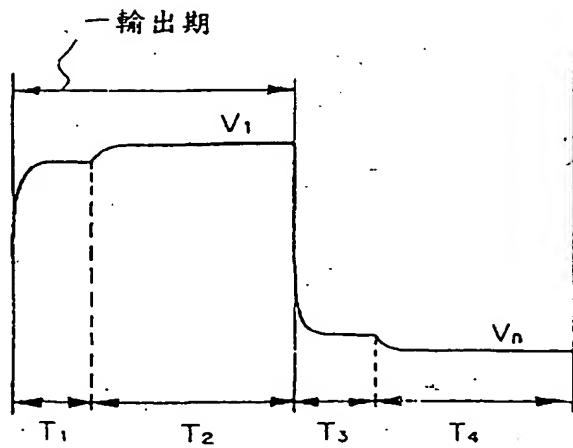


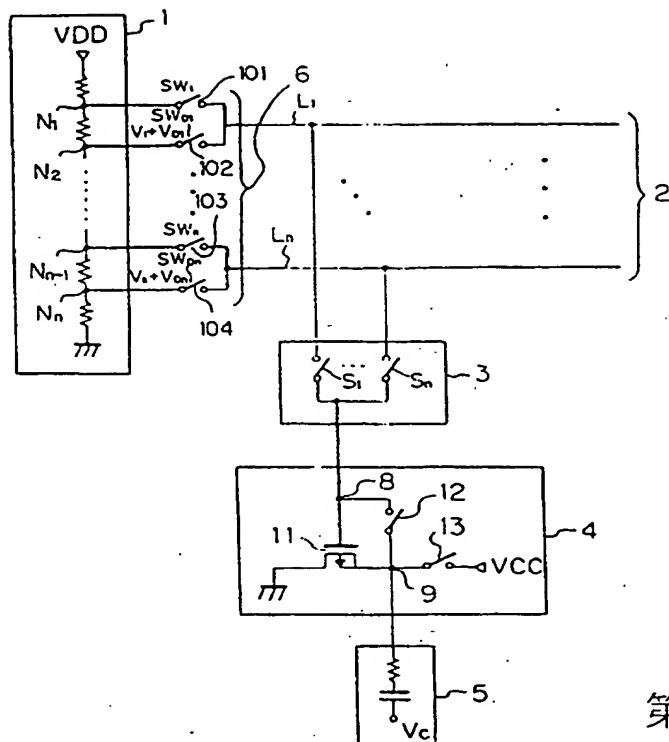
## 第八圖

(7)

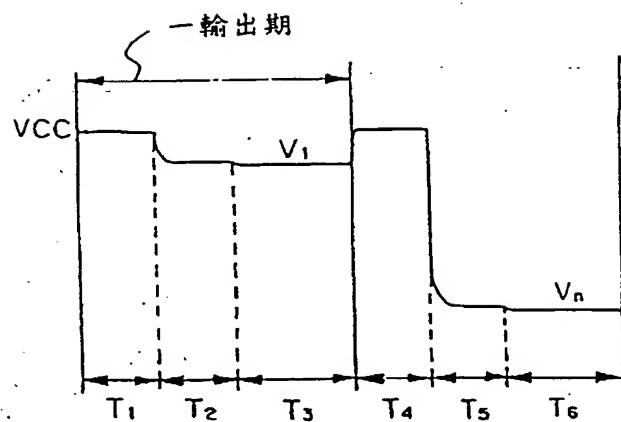


第十一圖

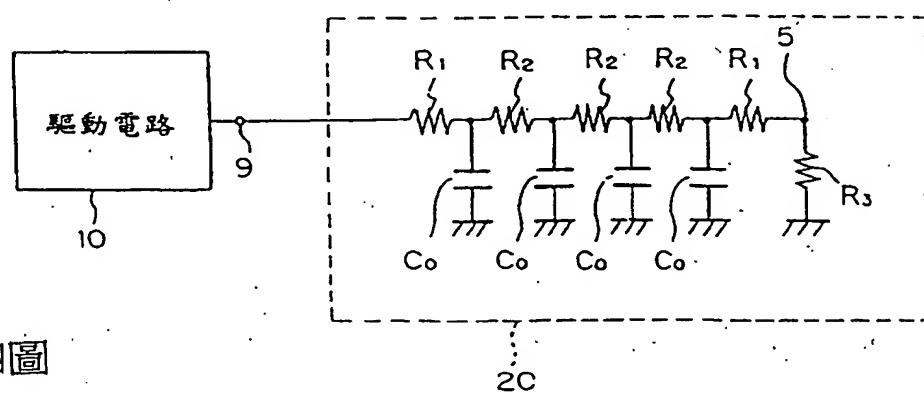




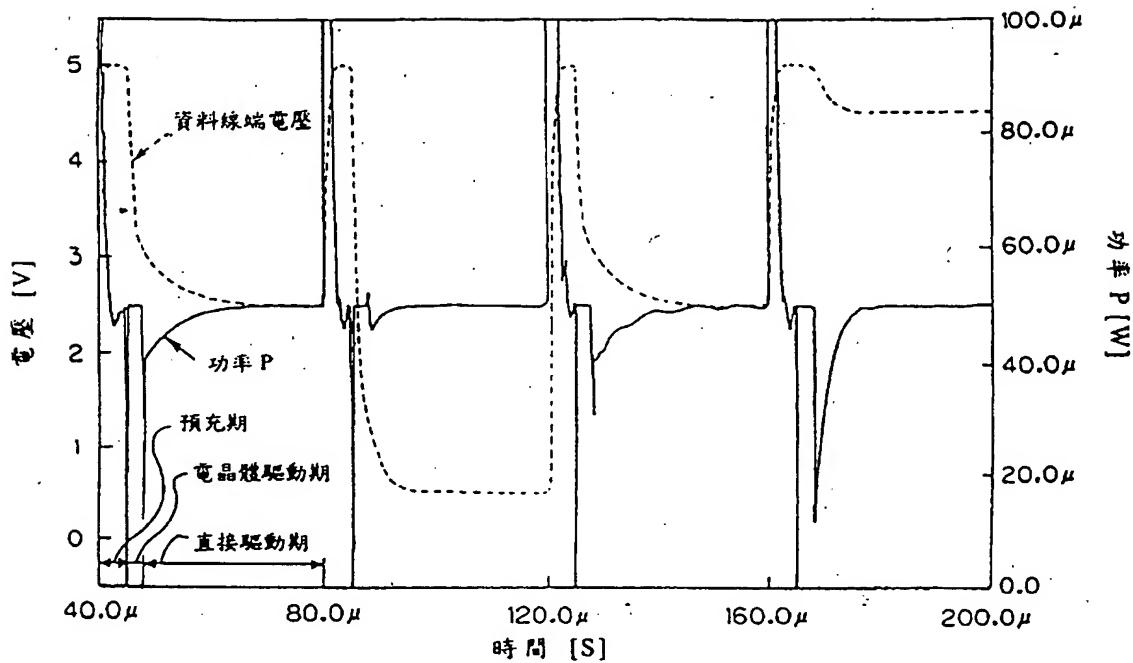
第十二圖



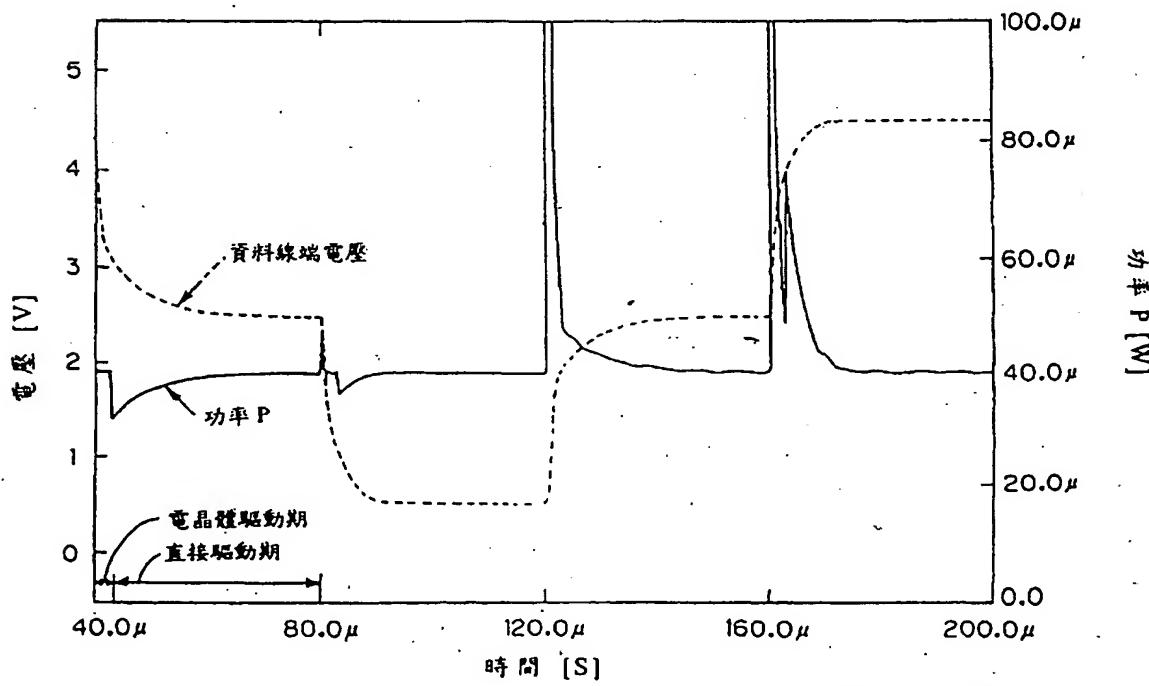
### 第十三圖



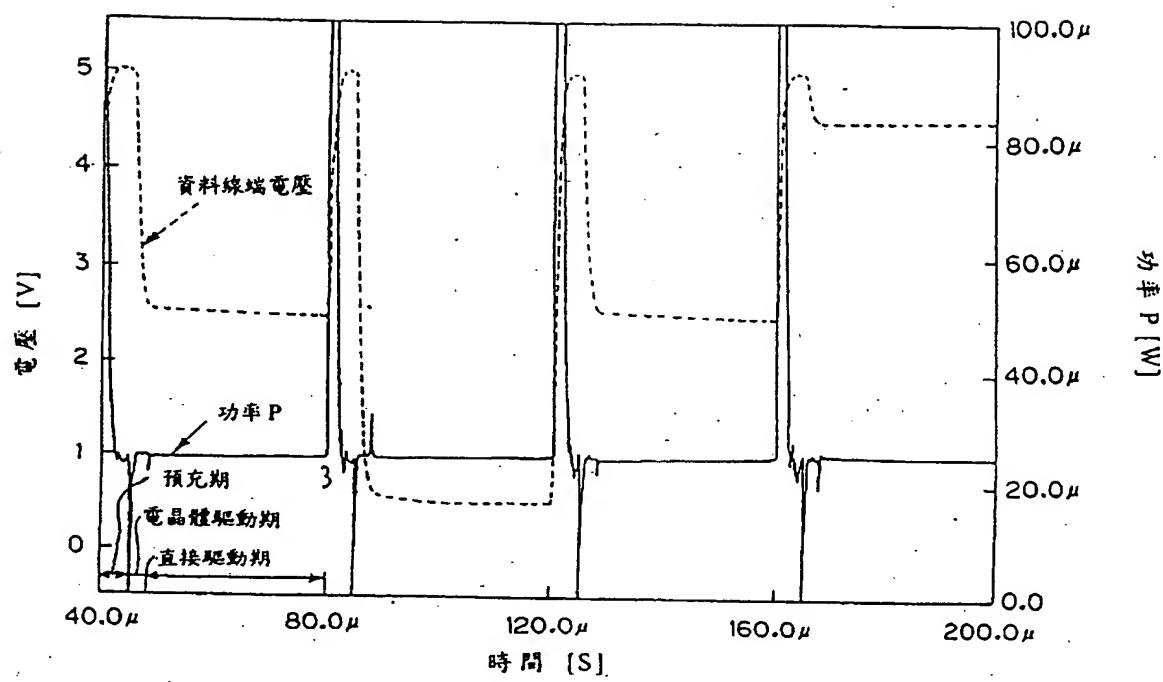
第十四圖



第十五圖



第十六圖



第十七圖

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: Whole page has punch hole marks**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.